

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222555

(43) 公開日 平成8年(1996)8月30日

(51) Int. Cl. ⁶	識別記号	F I	
H01L 21/31		H01L 21/31	C
			F
C23C 16/44		C23C 16/44	H
16/50		16/50	
H01L 21/205		H01L 21/205	
審査請求 未請求 請求項の数 9 O L (全12頁) 最終頁に続く			

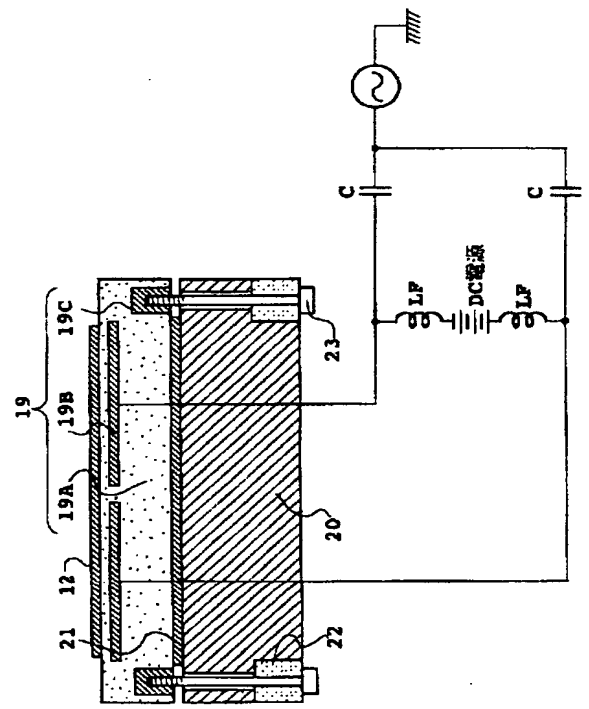
(21) 出願番号	特願平7-200001	(71) 出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成7年(1995)8月4日	(72) 発明者	清水 明夫 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(31) 優先権主張番号	特願平6-308512	(72) 発明者	榊原 康史 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(32) 優先日	平6(1994)12月13日	(72) 発明者	虎口 信 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 谷 義一 (外1名)
		最終頁に続く	

(54) 【発明の名称】 絶縁膜製造装置および製造方法

(57) 【要約】

【課題】 ECR型プラズマ処理装置の構成による絶縁膜製造装置を、静電チャックに保持された基板上のMOSFETゲート酸化膜をSiO₂絶縁膜で覆う際に、基板温度が上昇してもゲート酸化膜の絶縁破壊が起こらない装置とする。

【解決手段】 静電チャック19の金属台座20への固定を絶縁物21、22を介し行うことにより処理中の基板12、台座20間の絶縁抵抗が100MΩ以上を保有するようにするとともに、処理中は基板表面での径方向磁界成分を30ガウス以下に保ち、プラズマ電位によって生じるゲート酸化膜両面間電位差の上昇速度を小さくして、成膜時間中に電位差がゲート酸化膜の耐電圧を超えないようにする。



【特許請求の範囲】

【請求項 1】 マイクロ波と原料ガスとが導入される真空容器と、該真空容器を包囲し、真空容器内にマイクロ波と電子サイクロトロン共鳴磁界領域を形成して該真空容器内へ導入されたガスのマイクロ波によるプラズマ化作用を助けるソレノイドコイルと、前記真空容器内に設置され、誘電体中に吸着用電極を埋め込んでなる静電チャックおよび該静電チャックを固定する金属台座とからなり被処理半導体基板を該真空容器内に保持するウエハホルダとを具え、処理中の被処理半導体基板に R F バイアスが印加される S i O₂ 絶縁膜製造装置において、処理中、静電チャックに吸着、保持された被処理半導体基板と真空容器との間の絶縁抵抗が 1 0 0 M Ω 以上を保有するとともに、処理中、被処理半導体基板表面での径方向磁界成分が 3 0 ガウス以下に保たれることを特徴とする絶縁膜製造装置。

【請求項 2】 請求項 1 に記載の装置において、前記静電チャックと前記金属台座が絶縁物を介して固定されていることを特徴とする絶縁膜製造装置。

【請求項 3】 請求項 2 に記載の装置において、前記絶縁物がふっ素ゴムシートであることを特徴とする絶縁膜製造装置。

【請求項 4】 請求項 1 から 3 のいずれかに記載の装置において、前記ソレノイドコイルと協働して前記基板表面近傍にミラー磁界を形成するための第 2 のソレノイドコイルが前記ウエハホルダを基準にして前記ソレノイドコイルの反対側の位置に設けられていることを特徴とする絶縁膜製造装置。

【請求項 5】 請求項 1 から 3 のいずれかに記載の装置において、前記ソレノイドコイルと前記ウエハホルダとの中間の位置に減磁コイルが設置されていることを特徴とする絶縁膜製造装置。

【請求項 6】 請求項 1 から 5 のいずれかに記載の装置において、前記基板表面での径方向磁界成分が 1 0 ガウス以下であることを特徴とする絶縁膜製造装置。

【請求項 7】 マイクロ波発生用電源からマイクロ波伝達手段を介して真空容器にマイクロ波を導入し、該真空容器を包囲するソレノイドコイルによって真空容器内にマイクロ波との電子サイクロトロン共鳴磁界領域を形成して該真空容器内へ導入されたガスのマイクロ波によるプラズマ化作用を助長し、真空容器内に N₂、O または O₂、および S i H₄ または S i₂ H₆ を導入して、前記半導体基板に R F バイアスを印加しながら基板台上の半導体基板表面に S i O₂ 膜を成長させる絶縁膜製造方法において、前記半導体基板と前記真空容器との間の絶縁抵抗を 1 0 0 M Ω 以上に保ち、かつ前記半導体基板上での磁界の径方向成分を 3 0 ガウス以下に維持しながら成膜を行うことを特徴とする絶縁膜製造方法。

【請求項 8】 請求項 7 に記載の方法において、前記 N₂、O または O₂、および S i H₄ または S i₂ H₆ と共に

A r を導入することを特徴とする絶縁膜製造方法。

【請求項 9】 請求項 7 または 8 に記載の方法において、半導体基板に印加する R F 電力密度を 0 または、5 W / c m² 以上とすることを特徴とする絶縁膜製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 この発明は、半導体集積回路、特に I C 等、微細加工による L S I 製造時に絶縁膜製造工程で使用する絶縁膜製造装置および製造方法に関し、より詳しくは、マイクロ波と原料ガスとが導入される真空容器内にあって被処理半導体基板を該真空容器内に保持するウエハホルダが、絶縁体（誘電体）中に吸着用電極を埋め込んでなる静電チャックと、静電チャックを固定する金属台座とを用いて構成され、被処理半導体基板表面への絶縁膜形成のための原料ガスのプラズマ化に前記マイクロ波と真空容器内に形成させた磁界とによる電子サイクロトロン共鳴効果が利用されるとともに、処理中被処理半導体基板に R F バイアスが印加される S i O₂ 絶縁膜製造装置および製造方法に関する。

【 0 0 0 2 】

【従来の技術】 この種絶縁膜製造装置の構成例を図 7 に示す。装置本体は、真空容器 1 と、この真空容器 1 の一部を囲む主ソレノイド 2 とからなり、この真空容器 1 を構成する第 1 の真空容器 1 A にマイクロ波導波管 3 がマイクロ波透過窓 4 を介して取り付けられ、また、第 1 の原料ガスを導入するための第 1 ガス導入路 5 が接続されている。また、真空容器 1 を構成する第 2 の真空容器 1 B には、第 2 の原料ガスを導入するための第 2 ガス導入路 6 が接続されている。第 2 の真空容器 1 B 内には被処理半導体基板（以下基板という）1 2 を保持するウエハホルダ 1 1 が収容され、このウエハホルダ 1 1 を構成する一方の部材である静電チャック 9 の吸着用電極には R F 電源 1 5 がコンデンサ 1 4 を介して接続され、またウエハホルダ 1 1 を構成するもう一方の部材である金属台座（以下台座という）1 0 はアルミニウム等の金属で作られ、ここには図示していないが、媒熱流体の通流可能に構成されている。台座は真空容器と同電位である。静電チャック 9 は、前記吸着用電極 9 B を絶縁体 9 A 中に埋め込んでなるもので、絶縁体 9 A は上面、下面ともに平坦な平面に仕上げられ、台座 1 0 の平坦な上面に固定され、台座 1 0 を通流する媒熱流体により所望の温度に保持される。

【 0 0 0 3 】 この装置により、基板 1 2 の表面に作り込まれている M O S F E T のゲート酸化膜を覆う層間絶縁膜として S i O₂ 膜を形成する場合には、第 1 の真空容器 1 A に接続された第 1 ガス導入路 5 から第 1 原料ガスとして O₂ または N₂、O を導入し、これを、マイクロ波導波管 3 とマイクロ波透過窓 4 とを通して真空容器 1 A 内に導入したマイクロ波と、主ソレノイドコイル 2 が形

成する磁界とによりマイクロ波透過窓 4 近傍に形成された電子サイクロトロン共鳴（以下 E C R と記す）領域を通過させて O₂ または N₂ を効率よくプラズマ化して高密度のプラズマを生成する。このプラズマを主ソレノイド 2 が作った軸対称の発散磁界に沿って基板 1 2 方向へ移動させ、移動の途中で第 2 ガス導入路 6 から第 2 の真空容器 1 B 内へ導入された第 2 の原料ガスである S i H₄ または S i₂ H₆ を活性化し、活性化された S i H₄ または S i₂ H₆ とともに基板 1 2 の表面に到達させて S i O₂ 膜を形成する。第 1 の真空容器 1 A から第 2 の真空容器 1 B へのプラズマ移動は、前述のように、主ソレノイド 2 により形成された発散磁界に沿って生じるので、基板 1 2 前面でのプラズマ密度は、基板中央部で大きく、周縁側で小さくなる。一方、基板 1 2 には R F 電源 1 5 からコンデンサ 1 4 を介して R F バイアスが印加されており、これにより基板 1 2 の表面に生じた対真空容器負極性の電位による電界の強度は、基板 1 2 が真空容器 1 により囲まれていることから、基板周縁部で強く、中央部で弱くなるため、基板前面のプラズマ密度分布が均一化され、膜厚が面内均一な S i O₂ 膜が形成される。なお、装置下方のサブソレノイド 1 6 は、処理時の目的により、これに通電して基板 1 2 の前面側にカブス磁界あるいはミラー磁界を形成するために配設されているものである。

【 0 0 0 4 】

【発明が解決しようとする課題】近年、基板表面につくり込まれ半導体デバイスのより高集積化のため、例えば、M O S F E T におけるゲート酸化膜の厚さが 1 1 0 Å 以下と薄膜化されてきている。しかし、酸化膜の厚さがこのように薄い場合、ゲートを覆う絶縁膜をプラズマ C V D 法で形成するとゲートに絶縁不良が発生することがある。このため、例えばゲート酸化膜の厚さが 1 1 0 Å 程度ではゲート間に発生する電圧が 1 0 ~ 1 5 V 程度で容易に破壊する。

【 0 0 0 5 】ゲート酸化膜は模式的に図 2 (a) のように示すことができる。図において、ゲート電極と S i 基板との間の薄い S i O₂ 膜が絶縁破壊が問題となるゲート酸化膜であり、このゲート酸化膜に、S i 基板への R F バイアス印加の下でプラズマ中に生じた対真空容器プラズマ電位が印加される。このプラズマ電位の大きさは、S i 基板に供給する R F 電力の大きさおよび通常円筒状に形成される真空容器の内径と S i 基板径との比等によって異なるが、特に高速成膜を行うときに大きくなり、ゲート酸化膜の破壊が高頻度で起こるようになるため、高速成膜時のプラズマ電位の面内分布を小さくする装置構成が本発明者から提案されている（特願平 6 - 1 3 0 5 1 号、特願平 6 - 1 3 0 5 8 号）。この装置構成は、高速成膜時にプラズマ電位分布が大きくなる理由として、

①高速成膜のために、S i 基板をよりプラズマ密度の高

い E C R 領域に近接して置くと、磁界の強度が強くなり、ウエハ面内の磁界成分 (B r) の分布が大きくなる。

【 0 0 0 6 】②高速成膜でも、成膜された時のカバレッジ形状を維持するために、成膜速度にほぼ比例する R F バイアス電力を供給する必要があること。

【 0 0 0 7 】②の高速成膜を磁界強度を変えることなく、成膜原料の S i H₄ の流量を増やして、実施しても、①の効果と S i H₄ 流量の増大効果を併用しても、基板表面上の交流のバイアス電界と、B r 成分のベクトル積の面内分布が大きくなる。この作用に起因するプラズマ電位分布によるゲートの絶縁破壊が有ることに着眼した装置構成として、補助コイル等を用いて、B r の絶対値を小さくすることで、前述のベクトル積の絶対値を小さくし、これによる、プラズマ電位分布の絶対値を小さくすることで、ゲートの絶縁破壊を皆無にすることを實現した装置構成としている。しかし、本発明者らは、その後研究をつづけて行く中で、テストパターンによっては径方向磁界成分を 3 0 ガウス以下としてもなお、ゲート酸化膜の絶縁破壊が生じること、そして、この破壊は、高密度プラズマが基板表面のバイアス電位により加速されて基板に入射することによる基板の温度上昇抑制が十分に行われていない状態で成膜をつづけているときに生じることを発見した。このことは、径方向磁界成分を 3 0 ガウス以下としても、高温下では、ゲート酸化膜にかかる電圧が 1 0 ~ 1 5 V を超えるようになりうることを示している。

【 0 0 0 8 】本発明の目的は、ゲート酸化膜の耐電圧を超える電圧が、基板表面での径方向磁界成分を 3 0 ガウス以下に保持しているかぎり、高温下でもゲート酸化膜に印加されることのない絶縁膜製造装置および製造方法を提供することである。

【 0 0 0 9 】

【課題を解決するための手段】上記課題を解決するために、本発明による絶縁膜製造装置は、マイクロ波と原料ガスとが導入される真空容器と、該真空容器を包囲し、真空容器内にマイクロ波と電子サイクロトロン共鳴磁界領域を形成して該真空容器内へ導入されたガスのマイクロ波によるプラズマ化作用を助けるソレノイドコイルと、前記真空容器内に設置され、絶縁体中に吸着用電極を埋め込んでなる静電チャックおよび該静電チャックを固定する金属台座とからなり被処理半導体基板を該真空容器内に保持するウエハホルダとを具え、処理中の被処理半導体基板に R F バイアスが印加される S i O₂ 絶縁膜製造装置において、処理中、静電チャックに吸着、保持された被処理半導体基板と真空容器との間の絶縁抵抗が 1 0 0 M Ω 以上を保有するとともに、処理中、被処理半導体基板表面での径方向磁界成分が 3 0 ガウス以下に保たれることを特徴とする。

【 0 0 1 0 】ここで、前記静電チャックと前記金属台座

が絶縁物を介して固定されているとよく、前記絶縁物がふっ素ゴムシートであると好適である。

【0011】さらに、前記ソレノイドコイルと協働して前記基板表面近傍にミラー磁界を形成するための第2のソレノイドコイルが前記ウエハホルダを基準にして前記ソレノイドコイルの反対側の位置に設けられているとよく、または前記ソレノイドコイルと前記ウエハホルダとの中間の位置に減磁コイルが設置されているとよい。

【0012】前記基板表面での径方向磁界成分が10 Gauss以下であると最も好適である。

【0013】本発明による絶縁膜製造方法は、マイクロ波発生用電源からマイクロ波伝達手段を介して真空容器にマイクロ波を導入し、該真空容器を包囲するソレノイドコイルによって真空容器内にマイクロ波との電子サイクロトロン共鳴磁界領域を形成して該真空容器内へ導入されたガスのマイクロ波によるプラズマ化作用を助長し、真空容器内に N_2 、 O_2 または O_2 、および SiH_4 、または SiH_3H を導入して、前記半導体基板にRFバイアスを印加しながら基板台上の半導体基板表面に SiO_2 膜を成長させる絶縁膜製造方法において、前記半導体基板と前記真空容器との間の絶縁抵抗を100 MΩ以上に保ち、かつ前記半導体基板上での磁界の径方向成分を30 Gauss以下に維持しながら成膜を行うことを特徴とする。

【0014】ここで、前記 N_2 、 O_2 または O_2 、および SiH_4 、または SiH_3H と共にArを導入してもよい。

【0015】さらに、半導体基板に印加するRF電力密度を0または、5 W/cm²以上としてもよい。

【0016】

$$Si \text{ 基板に蓄積される電荷は、 } Q_1 - q_1 = \int_0^t V_w / R_w dt \text{ で}$$

【0020】与えられる。

【0021】1. 成膜初期時点のゲート酸化膜両面間電位差：初期では $t = +0$ として $Q_1 = q_1$ となるので、

$$V_f = Q_1 / C_g + q_1 / C_s = Q_1 (1 / C_g + 1 / C_s) \quad (1)$$

ここで代表的な値を、

$$C_g = 0.3 \mu F, C_s = 1000 pF$$

とすると、静電チャック誘電体の両面間電位差 V_s およびゲート酸化膜両面間電位差 U_g はそれぞれ以下のようになる。

【0023】

$$V_s = 0.9967 V_f, U_g = 0.0033 V_f,$$

このように、成膜初期では、ゲート酸化膜には、プラズ

$$(1 / C_g) dQ_1 / dt + (1 / C_s) dq_1 / dt = 0 \quad (2)$$

$R_s i = V_s = q_1 / C_s$ より、

$$i = q_1 / R_s C_s \quad (3)$$

$$dQ_1 / dt = dq_1 / dt + i = dq_1 / dt + q_1 / R_s C_s \quad (4)$$

(2), (4) 式より、

【発明の実施の形態】本発明においては、半導体基板にRFバイアス電力を印加しながらECRプラズマCVD法によって基板上に絶縁膜を形成する装置において、処理中の半導体基板と真空容器との間の絶縁抵抗が100 MΩ以上に保たれ、かつ半導体基板表面の径方向磁界成分が30 Gauss以下となるように装置を構成し、そのような条件下で成膜を行う。

【0017】図2(a)は、MOSFETにおけるゲート酸化膜まわりの構造を示す模式図であり、図2(b)は、被処理半導体基板であるSi基板へのRFバイアス印加の下でプラズマ中に生じた対真空容器プラズマ電位の下でゲート酸化膜を通過する電流路の構成を示す回路図である。この回路図において、 V_p はプラズマ中に生じた対真空容器プラズマ電位、 C_g はMOSFETにおけるゲート電極の、プラズマを誘電体とした対真空容器静電容量、 R_g はゲート電極と真空容器との間のプラズマの抵抗、 V_g はゲート電極の対真空容器電位、 C_s はゲート電極とSi基板とを対向電極としゲート酸化膜を誘電体とするコンデンサの静電容量、 Q_1 はゲート酸化膜両面の各電荷量、 q_1 は静電チャック絶縁体両面の各電荷量、 R_s は静電チャック絶縁体の絶縁抵抗、 V_s は静電チャック絶縁体両面間の電位差である。

【0018】この回路構成により、成膜初期のゲート酸化膜両面間の電位差と、成膜開始後ある時間を経過した時点でのゲート酸化膜両面間の電位差とを求めてみる。なお、この計算では、プラズマ電位 V_p を端子電圧とする直流電源の内部抵抗すなわちプラズマの抵抗を無視し、 $V_f = V_g$ とする。なお、

【0019】

30 【外1】

【0022】

【数1】

マ電位中の極くわずかの部分しかかからないことがわかる。

【0024】2. 成膜開始後ある時間を経過した時点でのゲート酸化膜両面間電位差：図2(b)の回路では次式が成立する。

【0025】

【数2】 $Q_1 / C_g + q_1 / C_s = V_f$ より、

50 【0026】

【数3】

$$-(C_g/C_s) dq_1/dt = dq_1/dt + q_1/R_s C_s \quad (5)$$

(5) 式より、

【数4】

【0027】

$$q_1 = q_1(0) \cdot \exp(-t/R_s(C_s + C_g)) \quad (6)$$

ここで、静電チャック絶縁体両面間の絶縁抵抗が、 $R_s = 100 M\Omega$ 程度までに小さくなると、 $C_g = 0.3 \mu F$ であるから、(6) 式中の時定数 $R_s(C_s + C_g)$ は 30 秒となり、成膜開始 30 秒の時点では、 $\exp(-1) = 0.37$ であるから、ゲート酸化膜両面間電位差は 0.63 V となる。ゲート酸化膜の耐電圧は、膜厚が 100 Å で 10 V 程度であるから、 $V_g > 15.9 V$

で絶縁破壊することになる。

【0028】そこで、実際の製品に上記計算法を適用して、実際の成膜条件下でゲート酸化膜の両面間に生じる電位差を求めてみる。

【0029】4 メガビットの DRAM でゲート酸化膜 1 個の面積を $1 \mu m$ 角とし、直径 6 インチの Si 基板に 100 個のチップがあったとすると、ゲート酸化膜の全面積は $8 cm^2$ になる。また、 $R_s = 100 M\Omega$ と仮定すると、ゲート酸化膜両面間の静電容量は $1 cm^2$ 当り $0.3 \mu F$ 程度であるから、(6) 式における時定数は、 $R_s(C_s + C_g) = 240$ 秒となり、成膜時間を 2 分とすると、ゲート酸化膜両面間電位差は、 $U_g = 0.39 V$ となり、ゲート酸化膜の絶縁破壊には、 $V_g > 25.4 V$

を必要とすることになる。また、 $R_s = 1000 M\Omega$ と仮定すると (6) 式における時定数は 2400 秒となり、成膜時間 2 分で $U_g = 0.05 V$ となり、ゲート酸化膜の絶縁破壊には、 $V_g > 200 V$

を必要とすることになり、絶縁抵抗 R_s の大きさより、破壊の難易が大幅に変化することが分かる。また、

(6) 式から、 R_s が小さいと、時定数 $R_s(C_s + C_g)$ が小さくなり、ゲート酸化膜両面間電位差の上昇速度が速くなり、成膜時間中にこの電位差がゲート酸化膜の耐電圧を超えることがわかる。本発明者らの実験によれば、基板表面の径方向磁界成分を 30 ガウス以下に保持した状態では、 $R_s > 100 M\Omega$ が維持されるかぎり、ゲート酸化膜の破壊は成膜時間中は生じないことが確認された。

【0030】ところで、絶縁膜の膜質を向上させるために、半導体基板の温度を上昇させて成膜することが一般に行われている。通常は成膜の初期には台座側から基板を加熱し、成膜の進行につれて基板がプラズマによって加熱されるので、台座側からの加熱を停止する。静電チャックの絶縁体には、台座から伝達された熱による温度上昇を速くするため（または台座からの熱吸収を早めるため）に、通常 Al_2O_3 等の高熱伝導率セラミックス

材が用いられる。Al₂O₃ の例では、熱伝導率の温度による変化の割合が極めて小さく、室温から 1000℃ 程度までの温度変化があっても熱伝導率の変化率は約 10% に過ぎない。このことが、絶縁抵抗もまた同様の傾向にあると推測させる原因をなしていた。しかし、実器の静電チャックについて測定したところ、室温において 1000 MΩ をはるかに超えていた絶縁抵抗が 190℃ において、1 MΩ にまで低下した。しかし、高温下で絶縁抵抗の低下が少ない材質への変更は、室温でも吸着力のレスポンスが良くてかつ材質として高熱伝導率を有する絶縁材であること、高温において材質の劣化が少ないこと、箔状の吸着用電極を、所定の吸着力を保持するために、平坦度を保って埋め込む必要があること、等から困難である。そこで、静電チャック自体には材質面、構造面の変更を加えることなく、静電チャックを台座に固定する際に、静電チャックと台座との間に、温度による絶縁抵抗の変化の少ない絶縁物を介装して、プラズマ入射による温度上昇時にも絶縁抵抗が 100 MΩ 以上となるようにすれば、従来の装置に大きな変更を加えることなくゲート酸化膜の破壊を防止することができる。

【0031】そして、静電チャックの台座への固定を、金具を用いて行う構造のものでは、この絶縁物を、静電チャックと金属台座との互いの当接面相互の間では絶縁シートとし、金具と金属台座もしくは静電チャックとの間では高温下で絶縁抵抗の低下度の少ない、高純度セラミックスとすることにより、金属台座から静電チャックへの熱伝導を大きく阻害することなく絶縁抵抗 100 MΩ 以上を確保することができる。

【0032】ここで、上記絶縁シートを、ふっ素ゴムとすれば、ふっ素ゴムはふっ素化有機化合物に共通の熱的に安定で耐熱性がよく、また耐候性、耐ふっ素プラズマエッチング性が抜群であるので、プラズマ雰囲気中で長期にわたり変質なく使用することができる。常用温度が -10℃ ~ +270℃ であることから、成膜時の温度 100 ~ 200℃ では絶縁抵抗の低下はなく、100 MΩ 以上を容易に保持する。また、材質として柔軟性を有するため、静電チャックを台座に固定する際に静電チャックの絶縁体を破損するおそれがない。

【0033】

【実施例】本発明によるウエハホルダ構造の一実施例を図 1 に示す。ウエハホルダは、静電チャック 19 と、台座 20 と、この両者の間に介装された絶縁シート 21 とを高純度セラミックス座台 22 とともにねじ 23 で一体に締めあげて構成される。静電チャック 19 は円板状の絶縁体 19A と、絶縁体 19A 内に埋め込まれた

一对の吸着用電極19B、19Bと、同じく絶縁体19Aに埋め込まれたインサート19Cとからなる。円板状絶縁体19AはAl₂O₃からなる約0.5mm厚の円板を複数枚積み重ね、これを焼成して得られるもので、積み重ねる前に1枚の円板上にWを含むペーストにより吸着用電極19B、19Bが印刷により形成される。インサート19CはAl₂O₃とほぼ等しい熱膨張係数をもつ合金からなり、絶縁体19Aの焼成により絶縁体19Aと一体化される。また、台座20はアルミニウム材からなる、厚みのある円板状のもので、ここには図示していないが、内部に媒熱流体の流路が形成されている。ねじ23の座台22は、高純度セラミック耐熱磁器からなる絶縁物であり、ねじ23により遊びなく挿通され、ねじ23と台座20との間を絶縁状態を保つ。絶縁シート21は材料にふっ素ゴムを用いたもので、静電チャック19を台座20に固定する際にクッションの役割を果たすとともに、その高耐熱性、高耐ふっ素プラズマエッチング性により、長期にわたり、基板12の処理中、非処理中を通じ、初期の絶縁抵抗を保持する。この絶縁シート21は、図2(b)におけるR₁を基板処理中も100MΩ以上に保つためのものであるが、シート状に形成されているため、台座20から静電チャック19への熱伝達を阻害することが少なく、また熱伝達阻害により静電チャック19の熱応答にわずかのおくれが生じても絶縁抵抗が変化しないので、成膜処理面で支障を生じることはない。また、ねじ23の座台22は、高純度セラミックを用いるので、成膜温度程度の温度では絶縁抵抗の低下は無視することができる。

【0034】実施例1

以下、本実施例によるウエハホルダを、図7に示した従来のウエハホルダ11と入れ替えてSiO₂絶縁膜を形成したときのMOSFETゲート酸化膜の絶縁破壊防止効果につき説明する。

【0035】SiO₂膜形成時の装置運転は以下のように行った。

【0036】図示されないマイクロ波発生用電源で発生するマイクロ波は周波数2.45GHzとし、このマイクロ波をマイクロ波発生用電源に付属のマッチング機構を介して導波管3内を伝播させ、AlN製のマイクロ波透過窓4を透過させて第1の真空容器1A内へ送り込んだ。第1の真空容器1A内へは第1ガス導入路5からO₂を導入し、また第2の真空容器1B内へは第2ガス導入路6からSiH₄を導入した。O₂、SiH₄両ガス導入後、第1、第2の真空容器内圧力が安定したところで主ソレノイド2に通電し、第1の真空容器1A内でマ

基板表面方向移動度 μ_{\perp} の分布がBrを小さくすることで

【0042】小さくなるためである。

【0043】ついで、媒熱体温度を上げて成膜中基板の温度を上昇させて、基板温度190℃(基板-台座間1MΩ)にて成膜を行った。このときの良品率はRFパワ

イクロ波透過窓4の近傍に磁束密度875ガウスの磁場領域を形成した。なお、装置には、第1、第2の真空容器内圧力を2mTorr~3.5Torrの範囲内で制御可能な圧力制御手段が付加されている。また、高速成膜を行うため、基板位置を主ソレノイド2に近接させたままとし、サブソレノイドコイル16に通電して基板前面側にミラー磁界を形成し、これにより、基板表面での径方向磁界成分を30ガウス以下とした。

【0037】まず、ゲート酸化膜の絶縁破壊防止に対する絶縁抵抗((6)式のR₁)の効果をみるため、図1において座台22を金属として、静電チャック19、絶縁シート21、台座20を金属のネジ23で固定した。基板と台座間に120℃のとき2000MΩ以上の絶縁抵抗を得、成膜中の基板の温度上昇を、台座に通流させる媒熱流体の温度を低く抑えることにより抑えながら成膜を行った。なお、成膜に使用した6インチ径の基板の周縁と第2の真空容器1Bの内壁面との間には最小100mmの空隙が存在する。このときの成膜パラメータは以下の通りである。

【0038】SiH₄ 95SCCM

O₂ 123SCCM

マイクロ波パワー 300W

基板温度 120℃以下

この成膜条件で得られた代表的な膜質は以下の通りであった。

【0039】成膜速度 2600Å/min

膜厚分布 ±3.8%(但しRFパワー>1200Wのとき)

屈折率 1.485

応力 $-1.4 \times 10^8 \text{ dyn/cm}^2$

上記成膜パラメータの下でRFパワーのみを変えてLSIの歩留りを求めた結果を図3に示す。ゲート酸化膜はRF0Wと1200W以上(=5W/cm²以上)で絶縁破壊していないことがわかる。この場合、RF1200W以上では膜厚分布も良好となり、プロセスに実用可能であった。

【0040】RF電力が0Wより大きく、1200Wより小さい範囲でダメージがあるのは、基板面内のプラズマ密度がECRプラズマ密度分布の影響を強く受けてRF電力注入分布が増大するためである。RFパワーの増大で基板面内のプラズマ密度が均一になるために、ダメージが低減する。RFパワー0Wでダメージがないのは、プラズマ密度分布があっても、

【0041】

【外2】

-1700Wのとき8%となった。

【0044】そこで、座台22の材質を耐熱セラミックスに変えて基板、台座間の絶縁抵抗が100MΩとなることが確認されたので、これを装置に組み込み、基板温

度190℃にて試験を行い、RFパワー1700Wで良品率100%を得た。

【0045】実施例2

図7に示した装置において、図1に示したウエハホルダを従来のウエハホルダ11に置き替え絶縁性を確保した。サブソレノイド16に流す電流を変化して、半導体基板表面上の磁界の径方向分布を変化させて絶縁膜を形成し、径方向磁界のプラズマダメージ特性への影響を調べた。

【0046】ただし、本実施例では0.35μmルールの4層配線の層間絶縁膜の6インチ、8インチ兼用の成長装置で、配線段差の埋め込み用として、作られた装置を使用した。

【0047】図示されていないマイクロ波電源より、マッチング機構を介して2.45GHzのマイクロ波を導波管1とAlN製のマイクロ波透過窓4を伝達し、第1の真空容器（マイクロ波プラズマ生成室）1Aに導入した。また、マイクロ波プラズマ生成室には、マイクロ波窓近傍に875Gauss以上の磁界を印加可能な主ソレノイド2により、磁界を加え、マイクロ波プラズマの発生を補助した。プラズマ生成室には第1のガス導入路5より、O₂および膜平坦化用のArガスを導入した。第2の真空容器（反応室）1Bを図示されていない排気手段、3台並列に配置された1800l/secのターボ分子ポンプ、によって排気した。最大有効排気速度は、半導体基板近傍で2500l/secである。また、プラズマ生成室内の圧力は、圧力制御機構により0.5mTorr～3.5Torrまで制御可能である。

【0048】生成されたマイクロ波プラズマを、RF・マイクロ波プラズマ反応室1B（反応室内径440mm）に導入し、第2のガス導入路6及び図示されていないガス均一吹き出しシャワーより放出されたSiH₄ガスを活性化した。活性化されたSiH₄ガスは、半導体

基板12にその他のガスと反応しながら吸着され、絶縁膜を形成した。

【0049】サブソレノイド16に主ソレノイド2と同じ軸方向磁界を形成するように通電して基板表面近傍にミラー磁界を形成した。サブソレノイド16に流す電流を変えて径方向の磁界成分(B_r)を変化させ、各径方向磁界成分(B_r)条件下で絶縁膜を形成した。

【0050】成膜パラメーターは以下の通りである。

【0051】SiH₄ 80SCCM

O₂ 96SCCM

Ar 200SCCM

反応時の圧力 1.5mTorr

マイクロ波パワー 2300W

RFパワー 2300W

成膜温度 110℃～180℃（成長と共に上昇）

この時の代表的な膜質は以下の通りであった。

【0052】成長速度 4000Å/min

成長時間 4分

膜厚分布 ±4.8%

屈折率 1.50

応力 $-1.2 \times 10^9 \text{ dyn/cm}^2$

ダメージ評価用の試料は図4(a)に平面図を、図4

(b)に断面図を示すような電極構造のものである。より詳しくはダメージ評価用のサンプルは、容量構造で絶縁膜厚さが80Åであり、アンテナは、櫛歯構造をしたアンテナ比100万倍のポリシリコン電極の構造を持ち、6インチウエハ当たり約100個程測定部位を持つものである。

【0053】ウエハ面内の最大径方向磁界B_rとプラズマダメージの関係は、以下の表1に示すとおりであった。

【0054】

【表1】

Br (ガウス)	サブソレノイド電流	歩留り (良品率)
+ 1 2	- 5 0 A	0 %
+ 1 0	0 A	1 2 %
+ 7 5	5 0 A	2 5 %
+ 5 0	1 0 0 A	4 2 %
+ 3 0	1 4 0 A	9 3 %
+ 2 0	1 6 0 A	9 0 %
+ 1 0	1 8 0 A	9 9 %
0	2 0 0 A	1 0 0 %
- 1 0	2 2 0 A	1 0 0 %
- 2 0	2 4 0 A	9 7 %
- 3 0	2 6 0 A	9 5 %
- 5 0	3 0 0 A	5 3 %

【0055】但し、Brの符号が正は、磁界方向が外向き、負符号は、内向きをしめす。

【0056】以上説明したように、サブコイルの電流を制御することで、ダメージの無い磁界条件を見つけることができた。

【0057】この様に、RF電力が2000Wとより大きく、櫛歯型アンテナ部の電極高さが1 μ mと高い部位の平坦化埋め込み成膜でも、Brを30ガウス以下、特に10ガウス程度とすることで歩留りを落とすことなく、処理することができた。

【0058】実施例3

実施例2と同様の装置を用い、磁界の径方向成分のプラズマダメージに与える影響を調べた。ただし、本実施例では、0.5 μ mルールの4層配線の層間絶縁膜の成長装置で、配線段差に0.1~0.4 μ m程度のカバー膜を成長し、この膜の上につける膜からの水分をブロックし、下地デバイスの性能低下を防止する為に用いる装置を使用した。実施例2で使用した装置との主要な差は、排気手段が、5001/secのターボ分子ポンプを2台並列に構成し、最大有効排気速度は、5001/sec (半導体基板近傍) であること、プラズマ生成室内の圧力が2.0mTorr~3.5Torrまで制御可能なこと、第2の真空容器 (反応室) 1Bの内径が350mmであること、である。

【0059】また、本実施例ではカバー膜プロセスのた

めのArガスは使用しなかった。

【0060】成膜パラメーターは以下の通りである。

【0061】SiH₄ 70SCCM

O₂ 98SCCM

反応時の圧力 7mTorr

マイクロ波パワー 300W

RFパワー 1200W

成膜温度 180℃~240℃ (成長と共に上昇)

代表的な膜質は以下の通りであった。

【0062】成長速度 2000Å/min

成長時間 2分、30秒

膜厚分布 $\pm 4.0\%$

屈折率 1.50

応力 $-1.3 \times 10^8 \text{ dyn/cm}^2$

図5(a)に測定用試料の電極構造の平面図を、図5

(b)に断面図を示す。測定に用いた、ダメージ評価用の試料は、容量構造で絶縁膜厚さが90Åであり、アンテナは、方形構造をしたアンテナ比100万倍のポリシリコン電極の構造をもち、6インチウェハ当たり約100個程測定部位を持つものである。

【0063】ウェハ面内の最大Brとプラズマダメージの関係は表2に示すとおりであった。

【0064】

【表2】

Br (Gauss)	サブソレノイド電流	歩留り (良品率)
+ 9 0	0 A	2 9 %
+ 8 0	1 0 A	2 9 %
+ 6 5	2 0 A	4 2 %
+ 5 5	3 0 A	5 2 %
+ 3 0	5 0 A	9 8 %
+ 0	7 5 A	1 0 0 %
- 3 0	1 0 0 A	1 0 0 %

【0065】但し、Brの符号が正は、磁界方向が外向き、負符号は、内向きをしめす。

【0066】このように、サブコイルの電流を制御することで径方向磁界成分を制御し、膜厚が0.5 μ m程度で、方形型アンテナ部の電極高さが0.5 μ mと低い場合のカバー膜の成膜では、Brを30 Gauss程度とすることで歩留りを落とすことなく、処理することができた。

【0067】基板の表面における径方向磁界を30 Gauss以下とするために、図6に示す様に、主ソレノイドが形成する磁界と逆方向の磁界を形成する減磁コイル24をウエハホルダと主ソレノイドの間に設け、減磁コイルの電流を調整してもよい。

【0068】

【発明の効果】本発明では、絶縁膜製造装置を、静電チャックの金属台座への固定が絶縁物を介して行われ、処理中、静電チャックに吸着、保持された被処理半導体基板と真空容器との間の絶縁抵抗が100 M Ω 以上を保有するとともに、処理中、被処理半導体基板表面での径方向磁界成分が30 Gauss以下に保たれるように構成し、かつそのような条件で成膜を行うので、基板表面につくり込まれたMOSFETのゲート酸化膜をプラズマCVD法により絶縁膜で覆う際のゲート酸化膜両面間電位差の上昇速度が小さくなり、基板表面の径方向磁界成分を30 Gauss以下に保つことにより、成膜時間中の絶縁破壊を常に確実に防止することができ、良品基板の歩留りが向上した。

【0069】そして、静電チャックと金属台座との間に介装する絶縁物を、静電チャックの固定を金具を用いて行うときには、静電チャックと金属台座との互いの当接面相互の間では絶縁シートとし、金具と金属台座もしくは静電チャックとの間ではセラミックスすることにより、台座から静電チャックへの熱伝達性の低下を小さく抑えることができ、基板温度を制御するときの応答時間おくれの少ないウエハホルダとすることができる。

【0070】また、絶縁シートの材料にふっ素ゴムを用いることにより、ふっ素ゴムの高耐熱性と高耐ふっ素プラズマエッチング性により、基板、台座間の高抵抗を、処理、非処理の期間を含め、長期に維持することができる。

【図面の簡単な説明】

【図1】本発明によるウエハホルダ構造の一実施例を示す断面図である。

【図2】基板表面につくり込まれたMOSFETゲート酸化膜をプラズマCVD法により絶縁膜で覆う際のゲート酸化膜絶縁破壊の原因を解析するための図であって、同図(a)はゲート酸化膜まわりの構造を示す模式図、同図(b)は絶縁膜形成時にゲート酸化膜を通過する電流の通路構成を示す回路図である。

【図3】本発明の効果の一例を示すプロット図である。

【図4】測定用試料の電極形状を示し、(a)は平面図、(b)は断面図である。

【図5】測定用試料の電極形状を示し、(a)は平面図、(b)は断面図である。

【図6】本発明による装置の他の実施の構造原理を示す断面図である。

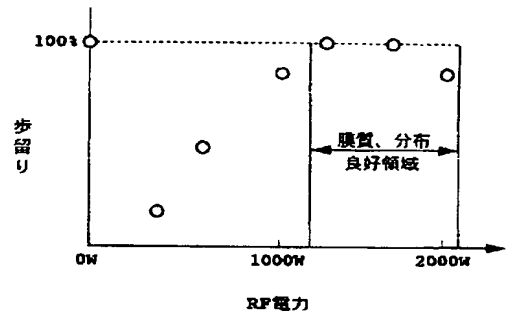
【図7】従来の絶縁膜製造装置構成の一例を示す断面図である。

【符号の説明】

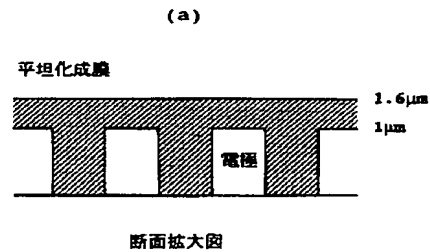
- 1 真空容器
- 2 主ソレノイド
- 3 導波管
- 4 マイクロ波透過窓
- 5 第1ガス導入路
- 6 第2ガス導入路
- 9 静電チャック
- 9 A 絶縁体
- 9 B 吸着用電極
- 10 台座 (金属台座)
- 11 ウエハホルダ

20	台座 (金属台座)
21	絶縁シート
22	座台
23	ねじ (金具)
24	減磁コイル

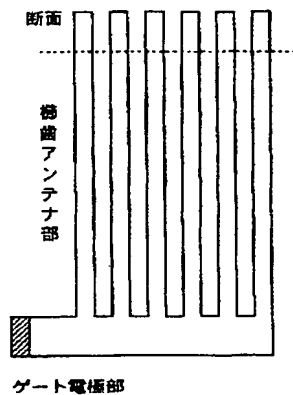
【図 3】



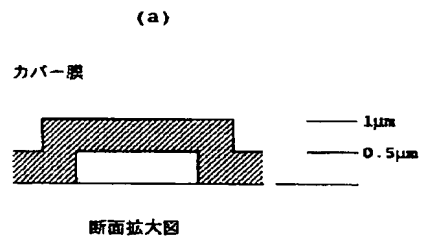
【図 4】



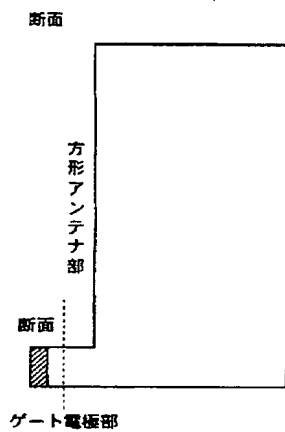
(b)



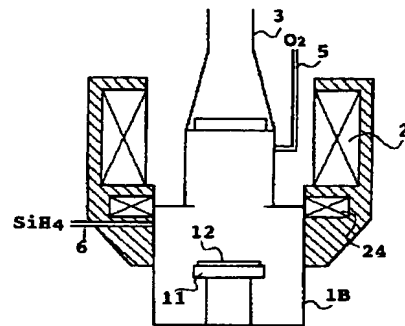
【図 5】



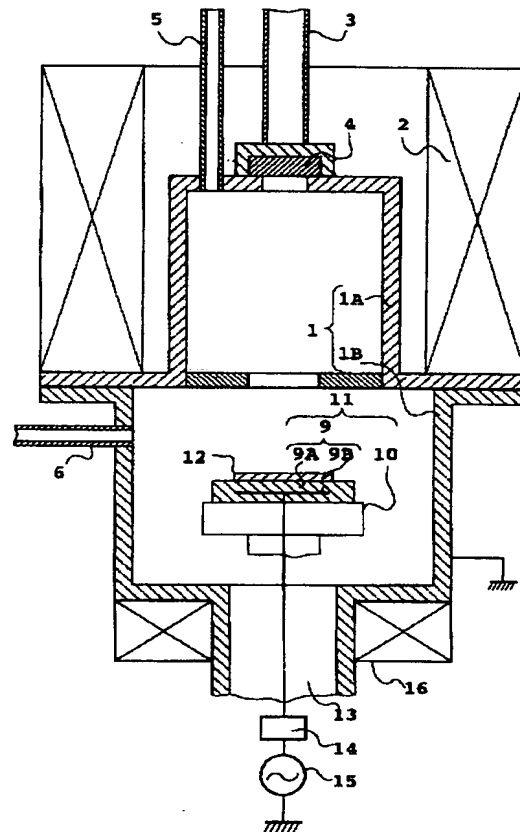
(b)



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/68

// B 2 3 Q 3/15

識別記号

庁内整理番号

F I

H 0 1 L 21/68

B 2 3 Q 3/15

技術表示箇所

R

D

(72) 発明者 片桐 源一

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

PATENT ABSTRACTS OF JAPAN

F2

(11)Publication number : 08-222555

(43)Date of publication of application : 30.08.1996

(51)Int.Cl. H01L 21/31
C23C 16/44
C23C 16/50
H01L 21/205
H01L 21/68
// B23Q 3/15

(21)Application number : 07-200001

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 04.08.1995

(72)Inventor : SHIMIZU AKIO
SAKAKIBARA YASUSHI
KOGUCHI MAKOTO
KATAGIRI GENICHI

(30)Priority

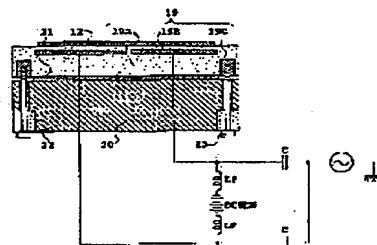
Priority number : 06308512 Priority date : 13.12.1994 Priority country : JP

(54) APPARATUS FOR FORMING INSULATING FILM AND METHOD OF FORMING INSULATING FILM

(57)Abstract:

PURPOSE: To provide an insulating film manufacturing apparatus employing the structure of an ECR plasma processor, such that in covering a MOS FET gate oxide film on a substrate held by an electrostatic chuck with an SiO₂ insulating film, increase in temperature of the substrate does not cause dielectric breakdown of the gate oxide film.

CONSTITUTION: By fixing an electrostatic chuck 19 to a metal base 20 using insulating materials 21, 22, the insulation resistance between a substrate 12 being processed and the base 20 is maintained to not lower than 100M Ω , and a radial magnetic field component on the surface of the substrate is maintained to not more than 30 gauss during processing. Thus, the rising speed of the potential difference between both sides of a gate oxide film caused by plasma potential is reduced, so that the potential difference does not exceed the withstand voltage of the gate oxide film during film deposition.



LEGAL STATUS

[Date of request for examination] 14.03.2001

[Date of sending the examiner's decision of rejection] 01.10.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]